

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月14日
Date of Application:

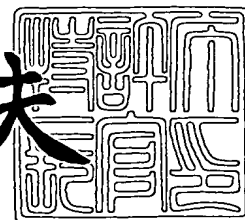
出願番号 特願2003-069014
Application Number:
[ST. 10/C]: [JP2003-069014]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年10月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3089997

【書類名】 特許願

【整理番号】 J0096966

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 小田 善造

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100110858

 【弁理士】

 【氏名又は名称】 柳瀬 睦肇

【選任した代理人】

 【識別番号】 100107526

 【弁理士】

 【氏名又は名称】 鈴木 直郁

【選任した代理人】

 【識別番号】 100110777

 【弁理士】

 【氏名又は名称】 宇都宮 正明

【選任した代理人】

 【識別番号】 100100413

 【弁理士】

 【氏名又は名称】 渡部 温

【手数料の表示】

【予納台帳番号】 085672

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014943

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 ワードラインが駆動されたときに 1 組のビットラインとの間でデータの入出力を行うポートを有するメモリセルと、

前記 1 組のビットラインを介して前記ポートに接続され、前記メモリセルにデータを書き込み、前記メモリセルからデータを読み出す書き込み／読出し回路と、

前記 1 組のビットラインを介して前記ポートに接続され、前記メモリセルからデータを読み出す読出し回路と、

C P U からの書き込み要求又は読出し要求に基づくデータの書き込み又は読出しが第 1 の期間において行われるように前記書き込み／読出し回路を制御する C P U 系制御回路と、

表示パネルに供給すべきデータの読出しが前記第 1 の期間と重複しない第 2 の期間において行われるように前記読出し回路を制御する表示系制御回路と、
を具備する半導体集積回路。

【請求項 2】 前記 C P U 系制御回路が、

前記 C P U から送信された書き込み要求信号に基づいて書き込み制御信号を活性化する第 1 の回路と、

前記 C P U から送信された読出し要求信号に基づいて読出し制御信号を活性化する第 2 の回路と、

を含み、前記表示系制御回路が、少なくとも前記 C P U から送信された書き込み要求信号及び読出し要求信号と、タイミング発生回路から送信された表示データ読出し要求信号とに基づいて表示データ読出し制御信号を活性化する第 3 の回路を含む、請求項 1 記載の半導体集積回路。

【請求項 3】 前記第 3 の回路が、前記 C P U から送信された書き込み要求信号及び読出し要求信号のいずれも活性化されておらず、かつ、前記 C P U 系制御回路によって生成された書き込み制御信号及び読出し制御信号のいずれも活性化されていないときに、タイミング発生回路から送信された表示データ読出し要求信号に基づいて表示データ読出し制御信号を活性化する、請求項 2 記載の半導体集

積回路。

【請求項 4】 前記第 3 の回路が、前記 CPU から送信された書込み要求信号及び読出し要求信号のいずれも活性化されておらず、かつ、前記 CPU 系制御回路によって生成された書込み制御信号及び読出し制御信号のいずれも活性化されていないときに、タイミング発生回路から送信された表示データ読出し要求信号に基づいて表示データ読出し制御信号の活性化を開始し、前記 CPU 系制御回路によって生成された書込み制御信号及び読出し制御信号のいずれも活性化されていないときに、表示データ読出し制御信号を活性化する、請求項 2 記載の半導体集積回路。

【請求項 5】 データを記憶する複数のメモリセルを含むメモリセルアレイと、

CPU からの書込み要求又は読出し要求に基づくデータの書込み又は読出しが行われるように、前記メモリセルアレイを複数のブロックに分割して制御する CPU 系制御回路と、

前記 CPU からの要求に基づくデータの書込み又は読出しが行われているブロックにおいては、表示パネルに供給すべきデータの読出しが行われないように、前記メモリセルアレイを複数のブロックに分割して制御すると共に、前記 CPU からの要求に基づくデータの書込み及び読出しのいずれも行われていないブロックにおいては、前記表示パネルに供給すべきデータの読出しが行われるように、前記メモリセルアレイを複数のブロックに分割して制御する表示系制御回路と、を具備する半導体集積回路。

【請求項 6】 前記メモリセルが SRAM のメモリセルである、請求項 1 ～ 5 のいずれか 1 項記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に、メモリセルを含み LCD（液晶表示装置）やプラズマディスプレイ等の表示パネルを駆動するための半導体集積回路に関し、特に、SRAM（スタティックランダムアクセスメモリ）のメモリセルを含む半導体集積回路

に関する。

【0002】

【従来の技術】

SRAMのメモリセルを含みLCDを駆動する従来のLCDドライバにおいては、CPUからの命令に従ってデータの書込み／読出し動作を行うのと同時に、LCDに画像を表示するためにデータの読出し動作を行うために、2ポートメモリセルが用いられることがある。

【0003】

図13に、このような2ポートメモリセルの構成を示す。このメモリセルは、反転回路INV1及びINV2と、NチャネルMOSトランジスタQN1及びQN2と、PチャネルMOSトランジスタQP1及びQP2とを含んでいる。反転回路INV1は、入力第1のストアノードN1に接続されており、出力が第2のストアノードN2に接続されている。また、反転回路INV2は、入力第2のストアノードN2に接続されており、出力が第1のストアノードN1に接続されている。ここで、トランジスタQN1とQN2が第1のポート（書込み／読出しポート）を構成し、トランジスタQP1とQP2が、第2のポート（読出し専用ポート）を構成している。

【0004】

しかしながら、このような2ポートメモリセルを使用すると、1つのメモリセルを構成するトランジスタの数が増加するので、半導体基板の面積が増大してしまい、半導体集積回路全体のコストが上昇するという問題があった。

【0005】

ところで、下記の特許文献1には、チップサイズの増大及び画質の劣化を可及的に防止するとともに、CPUによるメモリへのアクセス動作を可及的に短時間でを行うことを可能にした液晶駆動用半導体装置が開示されている。この液晶駆動用半導体装置は、液晶表示部に表示される表示用データが記憶されるシングルポートメモリと、シングルポートメモリに保持された表示用データを所定のサイクルで取り込んで液晶表示部に送出する液晶駆動回路と、CPUがシングルポートメモリにアクセスしない場合には所定のサイクルでシングルポートメモリから表

示データを液晶駆動回路に取り込ませて、この取り込んだデータを液晶表示部に送出させ、シングルポートメモリから液晶駆動回路がデータを取り込んでいるときにCPUがシングルポートメモリにアクセスした場合にはCPUに優先権を持たせるように液晶駆動回路の表示データ取込み動作を中止させてCPUにアクセス動作させ、このアクセス動作終了直後に改めて液晶駆動回路の表示データ取込み動作を行わせるように液晶駆動回路を制御する制御回路とを備えている。

【0006】

しかしながら、液晶駆動回路がデータを取り込んでいるときに液晶駆動回路の表示データ取込み動作を中止させるために、制御動作が複雑になると共に、余分な電力を消費してしまうという問題がある。

【0007】

【特許文献1】

特開 2002-14659 号公報（第2頁、図1）

【0008】

【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明は、1ポートメモリセルを使用しながら、CPUからの命令に従うデータの書込み／読出し動作と、表示パネルに画像を表示するためのデータの読出し動作とをスムーズに行うことができる半導体集積回路を提供することである。

【0009】

【課題を解決するための手段】

以上の課題を解決するため、本発明の第1の観点に係る半導体集積回路は、ワードラインが駆動されたときに1組のビットラインとの間でデータの入出力を行うポートを有するメモリセルと、1組のビットラインを介してポートに接続され、メモリセルにデータを書き込み、メモリセルからデータを読み出す書込み／読出し回路と、1組のビットラインを介してポートに接続され、メモリセルからデータを読み出す読出し回路と、CPUからの書込み要求又は読出し要求に基づくデータの書込み又は読出しが第1の期間において行われるように書込み／読出し回路を制御するCPU系制御回路と、表示パネルに供給すべきデータの読出しが

第1の期間と重複しない第2の期間において行われるように読出し回路を制御する表示系制御回路とを具備する。

【0010】

本発明の第1の観点によれば、CPU系制御回路が、CPUからの書込み要求又は読出し要求に基づくデータの書込み又は読出しが第1の期間において行われるように書込み／読出し回路を制御すると共に、表示系制御回路が、表示パネルに供給すべきデータの読出しが第1の期間と重複しない第2の期間において行われるように読出し回路を制御するので、1ポートメモリセルを使用しながら、CPUからの命令に従うデータの書込み／読出し動作と、表示パネルに画像を表示するためのデータの読出し動作とをスムーズに行うことができる。

【0011】

ここで、CPU系制御回路が、CPUから送信された書込み要求信号に基づいて書込み制御信号を活性化する第1の回路と、CPUから送信された読出し要求信号に基づいて読出し制御信号を活性化する第2の回路とを含み、表示系制御回路が、少なくともCPUから送信された書込み要求信号及び読出し要求信号と、タイミング発生回路から送信された表示データ読出し要求信号とに基づいて表示データ読出し制御信号を活性化する第3の回路を含むようにしても良い。

【0012】

具体的には、第3の回路が、CPUから送信された書込み要求信号及び読出し要求信号のいずれも活性化されておらず、かつ、CPU系制御回路によって生成された書込み制御信号及び読出し制御信号のいずれも活性化されていないときに、タイミング発生回路から送信された表示データ読出し要求信号に基づいて表示データ読出し制御信号を活性化するようにしても良い。

【0013】

あるいは、第3の回路が、CPUから送信された書込み要求信号及び読出し要求信号のいずれも活性化されておらず、かつ、CPU系制御回路によって生成された書込み制御信号及び読出し制御信号のいずれも活性化されていないときに、タイミング発生回路から送信された表示データ読出し要求信号に基づいて表示データ読出し制御信号の活性化を開始し、CPU系制御回路によって生成された書

込み制御信号及び読出し制御信号のいずれも活性化されていないときに、表示データ読出し制御信号を活性化するようにしても良い。

【0014】

また、本発明の第2の観点に係る半導体集積回路は、データを記憶する複数のメモリセルを含むメモリセルアレイと、CPUからの書込み要求又は読出し要求に基づくデータの書込み又は読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御するCPU系制御回路と、CPUからの要求に基づくデータの書込み又は読出しが行われているブロックにおいては、表示パネルに供給すべきデータの読出しが行われないように、メモリセルアレイを複数のブロックに分割して制御すると共に、CPUからの要求に基づくデータの書込み及び読出しのいずれも行われていないブロックにおいては、表示パネルに供給すべきデータの読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御する表示系制御回路とを具備する。

【0015】

本発明の第2の観点によれば、CPU系制御回路が、CPUからの要求に基づくデータの書込み又は読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御すると共に、表示系制御回路が、CPUからの要求に基づくデータの書込み及び読出しのいずれも行われていないブロックのみにおいて、表示パネルに供給すべきデータの読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御するので、1ポートメモリセルを使用しながら、CPUからの命令に従うデータの書込み／読出し動作と、表示パネルに画像を表示するためのデータの読出し動作とをスムーズに行うことができる。

【0016】

以上において、メモリセルとしてSRAMのメモリセルを用いるようにしても良い。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら詳しく説明する。なお、同一の構成要素には同一の参照番号を付して、説明を省略する。

図1は、本発明の第1の実施形態に係る半導体集積回路の構成を示すブロック図である。本実施形態は、本発明をLCDドライバICに適用したものである。図1に示すように、LCDドライバIC20は、CPU10及びLCDパネル30に接続されて使用される。

【0018】

LCDドライバIC20は、CPU10との接続に使用されるCPUインターフェース21と、CPU10から入力されるデータを記憶するSRAMのメモリセルアレイ22と、LCDパネル30との接続に使用されるLCDインターフェース23と、CPU10からの書込み要求信号又は読出し要求信号に基づいてメモリセルアレイ22を制御するCPU系制御回路24と、LCDドライバIC20に内蔵されている発振回路から出力される発振信号に基づいて、毎秒60フレームの割合でLCDパネル30に供給すべきデータの読出し要求信号を生成するタイミング発生回路25と、タイミング発生回路25からの読出し要求信号に基づいてメモリセルアレイ22を制御する表示系制御回路26とを有している。

【0019】

LCDドライバIC20には、CPU10から、データの他に、書込み要求信号WRバー、読出し要求信号RDバー、書込みモード信号WM、読出しモード信号RM等の各種の信号が入力される。CPU系制御回路24は、書込み要求信号WRバー及び書込みモード信号WMに基づいて書込み制御信号WEを生成すると共に、読出し要求信号RDバー及び読出しモード信号RMに基づいて読出し制御信号REを生成し、これらの制御信号をメモリセルアレイ22に供給する。

【0020】

メモリセルアレイ22においては、これらの制御信号に基づいて、CPU10から順次入力される書き込み用のデータWDが書き込まれたり、メモリセルアレイ22からデータが読み出され、読み出されたデータRDがCPU10に順次出力される。

【0021】

CPU系制御回路24から表示系制御回路26に、書込み制御信号WE及び読出し制御信号REが入力される。表示系制御回路26は、これらの信号に基づい

て、表示データ読出し制御信号 L R E を生成し、メモリセルアレイ 22 に供給する。

【0022】

メモリセルアレイ 22 においては、表示データ読出し制御信号 L R E に基づいて、表示データが読み出され、読み出された表示データ L R D が L C D インターフェース 23 に出力される。L C D インターフェース 23 は、表示データ L R D に基づいて複数の駆動信号を生成し、L C D パネル 30 の複数のセグメントにそれぞれ出力する。

【0023】

図 2 は、本実施形態において用いられるメモリセルアレイの構成を示す図である。図 2 に示すメモリセルアレイは、2つのストアノード N 1 及び N 2 を有する S R A M のメモリセル 41 と、メモリセル 41 にデータを書き込むと共にメモリセル 41 からデータを読み出す書込み／読出し回路 42 と、これとは別系統でメモリセル 41 からデータを読み出す読出し回路 43 と、データの書込み又は読出しの際にワードラインを駆動するワードライン駆動回路 44 とを含んでいる。

【0024】

メモリセル 41 は、反転回路 I N V 1 及び I N V 2 と、全体として 1 つのポートを構成する N チャネル M O S トランジスタ Q N 1 及び Q N 2 とを含んでいる。反転回路 I N V 1 は、入力第 1 のストアノード N 1 に接続されており、出力が第 2 のストアノード N 2 に接続されている。また、反転回路 I N V 2 は、入力第 2 のストアノード N 2 に接続されており、出力が第 1 のストアノード N 1 に接続されている。

【0025】

トランジスタ Q N 1 のソース～ドレイン経路は、第 1 のストアノード N 1 とビットライン B L a との間に接続されている。トランジスタ Q N 2 のソース～ドレイン経路は、第 2 のストアノード N 2 とビットライン B L b との間に接続されている。トランジスタ Q N 1 及び Q N 2 のゲートは、ワードライン W L に接続されている。

【0026】

説明を簡単にするために、図 2 においては 1 つのメモリセル 41 のみを示しているが、実際には複数のメモリセルがアレイ状に配列されてメモリセルアレイを構成する。メモリセルアレイの 1 つの行を構成するメモリセルには、書込み／読出し用の 1 本のワードライン WL が接続される。一方、メモリセルアレイの 1 つの列を形成するメモリセルには、1 組のビットライン BL a 及び BL b とが接続される。

【0027】

書込み制御信号 WE がハイレベルになると、書込み／読出し回路 42 によってデータの書込みが行われる。データの書込みにおいては、ワードライン駆動回路 44 からワードライン WL 上にハイレベルの信号が供給されると共に、例えば、ビットライン BL a 上にローレベルの信号が供給され、ビットライン BL b 上にハイレベルの信号が供給される。ワードライン WL 上にハイレベルの信号が供給されることにより、トランジスタ QN1 がオン状態となる。

【0028】

これにより、ストアノード N1 は、ビットライン BL a と同一のローレベルとなり、ストアノード N2 は、ビットライン BL b と同一のハイレベルとなる。反転回路 INV1 と INV2 がこの状態を維持することにより、メモリセル 41 に 1 ビットのデータが記憶される。

【0029】

読出し制御信号 RE がハイレベルになると、書込み／読出し回路 42 によってデータの読出しが行われる。また、表示データ読出し制御信号 LRE がハイレベルになると、読出し回路 43 によってデータの読出しが行われる。データの読出しにおいては、ビットライン BL a 及び BL b がプリチャージ又はプルアップされる。その後、ワードライン駆動回路 44 からワードライン WL にハイレベルの信号が供給され、トランジスタ QN1 がオン状態となる。

【0030】

これにより、ビットライン BL a がストアノード N1 と同一のローレベルとなり、ビットライン BL b がストアノード N2 と同一のハイレベルを維持する。書込み／読出し回路 42 又は読出し回路 43 において、センスアンプを用いてビッ

トラインBLaとBLbのレベルを検出することにより、メモリセル41に記憶されている1ビットのデータが読み出される。

【0031】

図3は、本実施形態において用いられるCPU系制御回路の構成を示す図である。CPU系制御回路24は、書込み要求信号WRバー及び書込みモード信号WMが入力されるAND回路51と、AND回路51の出力信号を所定の遅延時間D1だけ遅延させる遅延回路52と、AND回路51の出力信号及び遅延回路52の出力信号が入力される片側反転入力のAND回路53とを含んでいる。これらの回路は、書込み要求信号WRバー及び書込みモード信号WMに基づいて、書込み制御信号WEを生成する。

【0032】

また、CPU系制御回路24は、読出し要求信号RDバー及び読出しモード信号RMが入力されるAND回路54と、AND回路54の出力信号を所定の遅延時間D2だけ遅延させる遅延回路55と、AND回路54の出力信号及び遅延回路55の出力信号が入力される片側反転入力のAND回路56とを含んでいる。これらの回路は、読出し要求信号RDバー及び読出しモード信号RMに基づいて、読出し制御信号REを生成する。

【0033】

図4は、本実施形態において用いられる表示系制御回路の構成を示す図である。表示系制御回路26は、表示データ読出し要求信号LRバーを所定の遅延時間D3だけ遅延させる遅延回路61と、表示データ読出し要求信号LRバー及び遅延回路61の出力信号が入力される片側反転入力のAND回路62と、表示データ読出し要求信号LRバーによってリセットされると共に、AND回路62の出力信号によってセットされるフリップフロップ63と、5入力のAND回路64とを含んでいる。

【0034】

フリップフロップ63は、表示データ読出し要求信号LRバーがローレベルになるとリセットが解除されてセットされ、その出力信号Qをハイレベルとする。フリップフロップ63の出力信号Qは、表示データ読出し制御信号LREの立下

リエッジに同期して、ローレベルに戻る。AND回路64の3つの入力端子には、フリップフロップ63の出力信号Qと、書込み要求信号WRバーと、読出し要求信号RDバーとが入力され、AND回路64の2つの反転入力端子には、書込み制御信号WEと、読出し制御信号REとが入力される。

【0035】

さらに、表示系制御回路26は、AND回路64の出力信号を所定の遅延時間D4だけ遅延させる遅延回路65と、AND回路64の出力信号及び遅延回路65の出力信号が入力され、表示データ読出し制御信号LREを出力する片側反転入力のAND回路66とを含んでいる。

【0036】

次に、本発明の第1の実施形態に係る半導体集積回路における書込み制御動作及び読出し制御動作について説明する。

図5は、図3に示すCPU系制御回路における書込み制御動作を説明するためのタイミングチャートである。図5に示すように、書込み要求信号WRバーがローレベルとなっている間に書込みモード信号WMが立上がり、その後、書込み要求信号WRバーがハイレベルに戻ると、AND回路51の出力信号はハイレベルとなる。AND回路51の出力信号は、AND回路53の第1の入力端子に供給されると共に、遅延時間D1を有する遅延回路52を介してAND回路53の第2の入力端子（反転入力）に供給される。

【0037】

これにより、AND回路53から出力される書込み制御信号WEは、遅延回路52の遅延時間D1と等しい期間においてハイレベルとなる。書込み制御信号WEがハイレベルとなっている期間において、図1のCPU10からCPUインターフェース21を介して入力されたデータが、メモリセルアレイ22に書き込まれる。

【0038】

図6は、図3に示すCPU系制御回路における読出し制御動作を説明するためのタイミングチャートである。図6に示すように、読出し要求信号RDバーがローレベルとなっている間に読出しモード信号RMが立上がり、その後、読出し要

求信号RDバーがハイレベルに戻ると、AND回路54の出力信号はハイレベルとなる。AND回路54の出力信号は、AND回路56の第1の入力端子に供給されると共に、遅延時間D2を有する遅延回路55を介してAND回路56の第2の入力端子（反転入力）に供給される。

【0039】

これにより、AND回路56から出力される読出し制御信号REは、遅延回路55の遅延時間D2と等しい期間においてハイレベルとなる。読出し制御信号REがハイレベルとなっている期間において、図1に示すメモリセルアレイ22からデータが読み出され、読み出されたデータが、CPUインターフェース21を介してCPU10に出力される。

【0040】

図7は、図4に示す表示系制御回路における読出し制御動作を説明するためのタイミングチャートである。表示データ読出し要求信号LRバーがハイレベルである間に、フリップフロップ63がリセットされる。次に、書込み要求信号WRバー又は読出し要求信号RDバーがローレベルとなっている間に表示データ読出し要求信号LRバーが立ち下がると、AND回路62の出力信号は、遅延回路61の遅延時間D3と等しい期間においてハイレベルとなる。これにより、フリップフロップ63がセットされて、その出力信号Qがハイレベルとなる。

【0041】

書込み要求信号WRバー又は読出し要求信号RDバーがハイレベルになると、書込み制御信号WE又は読出し制御信号REが所定の期間ハイレベルとなる。書込み制御信号WE又は読出し制御信号REがローレベルに戻ると、5入力のAND回路64の出力信号はハイレベルとなる。AND回路64の出力信号は、AND回路66の第1の入力端子に供給されると共に、遅延時間D4を有する遅延回路65を介してAND回路66の第2の入力端子（反転入力）に供給される。

【0042】

その結果、AND回路66から出力される表示データ読出し制御信号LREは、遅延回路65の遅延時間D4と等しい期間においてハイレベルとなる。表示データ読出し制御信号LREがハイレベルとなっている期間において、図1に示す

メモリセルアレイ 22 からデータが読み出され、読み出されたデータが LCD インターフェース 23 に出力されて、LCD パネル 30 を駆動するための駆動信号が生成される。

【0043】

本実施形態によれば、CPU 10 から送信された書込み要求信号 WR バー及び読出し要求信号 RD バーのいずれも活性化されておらず、かつ、CPU 系制御回路 24 によって生成された書込み制御信号 WE 及び読出し制御信号 RE のいずれも活性化されていないときに、表示系制御回路 26 が、タイミング発生回路 25 から送信された表示データ読出し要求信号 LR バーに基づいて表示データ読出し制御信号 LRE を活性化する。

【0044】

即ち、書込み要求信号 WR バー、読出し要求信号 RD バー、書込み制御信号 WE、読出し制御信号 RE のいずれかが活性化されている期間においては、表示データ読出し制御信号 LRE の活性化が禁止される。このようにして、CPU 10 のデータ書込み／読出し動作を優先させながら、LCD パネル 30 に画像を表示するためのデータの読出し動作をスムーズに行うことができる。

【0045】

次に、本発明の第 2 の実施形態に係る半導体集積回路について説明する。第 2 の実施形態は、第 1 の実施形態における表示系制御回路を変更したものであり、その他の点に関しては第 1 の実施形態と同様である。

【0046】

図 8 は、本発明の第 2 の実施形態において用いられる表示系制御回路の構成を示す図である。この表示系制御回路は、表示データ読出し要求信号 LR バーを所定の遅延時間 D3 だけ遅延させる遅延回路 61 と、表示データ読出し要求信号 LR バー及び遅延回路 61 の出力信号が入力される片側反転入力 AND 回路 62 と、表示データ読出し要求信号 LR バーによってリセットされると共に、AND 回路 62 の出力信号によってセットされるフリップフロップ 63 と、5 入力 AND 回路 64 とを含んでいる。

【0047】

フリップフロップ 63 は、表示データ読出し要求信号 \overline{LR} バーがローレベルになるとリセットが解除されてセットされ、その出力信号 Q をハイレベルとする。フリップフロップ 63 の出力信号 Q は、表示データ読出し制御信号 \overline{LRE} の立下りエッジに同期して、ローレベルに戻る。AND 回路 64 の 3 つの入力端子には、フリップフロップ 63 の出力信号 Q と、書込み要求信号 \overline{WR} バーと、読出し要求信号 \overline{RD} バーとが入力され、AND 回路 64 の 2 つの反転入力端子には、書込み制御信号 \overline{WE} と、読出し制御信号 \overline{RE} とが入力される。

【0048】

さらに、表示系制御回路は、AND 回路 64 の出力信号を所定の遅延時間 $D4$ だけ遅延させる遅延回路 65 と、AND 回路 64 の出力信号及び遅延回路 65 の出力信号が入力される片側反転入力の AND 回路 66 と、NOR 回路 67 と、反転入力の AND 回路 68 と、AND 回路 68 の出力信号を所定の遅延時間 $D5$ だけ遅延させる遅延回路 69 とを含んでいる。AND 回路 66 の出力信号がハイレベルになると、AND 回路 68 は、遅延時間 $D5$ と等しい期間だけハイレベルとなる表示データ読出し制御信号 \overline{LRE} を出力する。

【0049】

次に、本発明の第 2 の実施形態に係る半導体集積回路における読出し制御動作について説明する。

図 9 は、図 8 に示す表示系制御回路における読出し制御動作を説明するためのタイミングチャートである。

【0050】

表示データ読出し要求信号 \overline{LR} バーがハイレベルである間に、フリップフロップ 63 がリセットされる。次に、書込み要求信号 \overline{WR} バー又は読出し要求信号 \overline{RD} バーがローレベルとなっている間に表示データ読出し要求信号 \overline{LR} バーが立下がると、AND 回路 62 の出力信号は、遅延回路 61 の遅延時間 $D3$ と等しい期間においてハイレベルとなる。これにより、フリップフロップ 63 がセットされて、その出力信号 Q がハイレベルとなる。

【0051】

書込み要求信号 \overline{WR} バー又は読出し要求信号 \overline{RD} バーがハイレベルになると、

書込み制御信号WE又は読出し制御信号REが所定の期間ハイレベルとなる。書込み制御信号WE又は読出し制御信号REがローレベルに戻ると、5入力のAND回路64の出力信号はハイレベルとなる。AND回路64の出力信号は、AND回路66の第1の入力端子に供給されると共に、遅延時間D4を有する遅延回路65を介してAND回路66の第2の入力端子（反転入力）に供給される。

【0052】

AND回路66の出力信号は、NOR回路67の第1の入力端子に供給され、NOR回路67の出力信号は、AND回路68の第1の入力端子に供給される。AND回路68から出力される表示データ読出し制御信号LREは、NOR回路67の第2の入力端子に供給されると共に、遅延時間D5を有する遅延回路69を介してAND回路68の第2の入力端子に供給される。

【0053】

その結果、表示データ読出し制御信号LREは、遅延回路69の遅延時間D5と等しい期間においてハイレベルとなる。ここで、書込み要求信号WRバー又は読出し要求信号RDバーが次に立ち上がる前に表示データ読出し制御信号LREがローレベルに戻るように、遅延回路69の遅延時間D5が定められている。

【0054】

これにより、本実施形態においては、CPU系制御回路によって生成された書込み制御信号WE及び読出し制御信号REのいずれも活性化されていないときに、表示系制御回路が、表示データ読出し制御信号LREを活性化する。即ち、書込み制御信号WE又は読出し制御信号REが活性化されている期間においては、表示データ読出し制御信号LREの活性化が禁止される。

【0055】

さらに、CPU10から送信された書込み要求信号WRバー及び読出し要求信号RDバーのいずれも活性化されておらず、かつ、CPU系制御回路によって生成された書込み制御信号WE及び読出し制御信号REのいずれも活性化されていないときに、表示系制御回路が、タイミング発生回路25から送信された表示データ読出し要求信号LRバーに基づいて表示データ読出し制御信号LREの活性化を開始する。

【0056】

即ち、書込み要求信号WRバー、読出し要求信号RDバー、書込み制御信号WE、読出し制御信号REのいずれかが活性化されている期間においては、表示データ読出し制御信号LREの活性化の開始が禁止される。ただし、書込み要求信号WRバー又は読出し要求信号RDバーが活性化されていても、書込み制御信号WE及び読出し制御信号REのいずれも活性化されていなければ、LCDパネル30に画像を表示するためのデータの読出し動作を継続して行うことができる。従って、本実施形態によれば、データの書込み又は読出し動作のサイクルタイムを、第1の実施形態におけるよりも短縮することが可能である。

【0057】

次に、本発明の第3の実施形態に係る半導体集積回路について説明する。第3の実施形態においては、多数のメモリセルを含むメモリセルアレイが、複数のブロック（「バンク」ともいう）に分割して制御される。

【0058】

図10は、本発明の第3の実施形態において用いられるメモリセルアレイの構成を示す図である。図10に示すように、このメモリセルアレイは、 $M \times N$ 個のブロックに分割されており、任意のブロックを (m, n) で表すものとする。このブロックを選択するために、ブロック選択信号BS (m, n) が用いられる。

【0059】

図11は、本実施形態において用いられるCPU系制御回路の構成を示す図である。CPU系制御回路は、CPU10からの書込み要求又は読出し要求に基づくデータの書込み又は読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御する。

【0060】

CPU系制御回路は、書込み要求信号WRバー、書込みモード信号WM、ブロック選択信号BS (m, n) が入力されるAND回路71と、AND回路71の出力信号を所定の遅延時間だけ遅延させる遅延回路72と、AND回路71の出力信号及び遅延回路72の出力信号が入力される片側反転入力AND回路73とを、ブロックの数だけ含んでいる。これらの回路は、ブロック (m, n) が選

択された際に、書込み要求信号WRバー及び書込みモード信号WMに基づいて、そのブロック (m, n) のための書込み制御信号WEを生成する。

【0061】

また、CPU系制御回路は、読出し要求信号RDバー、読出しモード信号RM、ブロック選択信号BS (m, n) が入力されるAND回路74と、AND回路74の出力信号を所定の遅延時間だけ遅延させる遅延回路75と、AND回路74の出力信号及び遅延回路75の出力信号が入力される片側反転入力AND回路76とを、ブロックの数だけ含んでいる。これらの回路は、ブロック (m, n) が選択された際に、読出し要求信号RDバー及び読出しモード信号RMに基づいて、選択されたブロック (m, n) のための読出し制御信号REを生成する。

【0062】

表示系制御回路は、CPU10からの要求に基づくデータの書込み又は読出しが行われているブロックにおいては、タイミング発生回路25からの読出し要求に基づくデータの読出しが行われないように、メモリセルアレイを複数のブロックに分割して制御すると共に、CPU10からの要求に基づくデータの書込み及び読出しのいずれも行われていないブロックにおいては、LCDパネル30に供給すべきデータの読出しが行われるように、メモリセルアレイを複数のブロックに分割して制御する。

【0063】

次に、本発明の第3の実施形態に係る半導体集積回路における読出し制御動作について説明する。

図12は、本発明の第3の実施形態に用いられる表示系制御回路における読出し制御動作を説明するためのタイミングチャートである。

【0064】

書込み要求信号WRバー又は読出し要求信号RDバーがハイレベルになると、選択されたブロック (m, n) のための書込み制御信号WE又は読出し制御信号REが順次ハイレベルとなる。これにより、ブロック (m, n) 毎に、CPU10からの要求に基づくデータの書込み又は読出しが順次行われる。

【0065】

書込み要求信号WRバー又は読出し要求信号RDバーがローレベルとなっている間に表示データ読出し要求信号LRバーが立下がると、書込み要求信号WRバー又は読出し要求信号RDバーがハイレベルとなった後で、ブロック(m, n)毎の表示データ読出し制御信号LREが順次ハイレベルとなる。これにより、ブロック(m, n)毎に、LCDパネル30に供給すべきデータの読出しが順次行われる。ただし、CPU10からの要求に基づいて選択されているブロックについては、書込み制御信号WE又は読出し制御信号REがハイレベルである期間において表示データ読出し制御信号LREがローレベルとされ、CPU10からの要求に基づくデータの書込み又は読出しが優先して行われる。

【0066】

なお、本実施形態においては、CPU10から送信された書込み要求信号WRバー又は読出し要求信号RDバーが活性化されている期間において、タイミング発生回路25から送信された表示データ読出し要求信号LRバーに基づく表示データ読出し制御信号LREの活性化の開始が禁止される。ただし、書込み要求信号WRバー又は読出し要求信号RDバーが活性化されていても、書込み制御信号WE及び読出し制御信号REのいずれも活性化されていなければ、LCDパネル30に画像を表示するためのデータの読出し動作を継続して行うことができる。

【0067】

本実施形態によれば、1ポートメモリセルを使用しながら、CPUからの命令に従うデータの書込み／読出し動作と、表示パネルに画像を表示するためのデータの読出し動作とを、1つのメモリセルアレイにおける異なるブロックにおいて同時に行うことができる。従って、データの書込み又は読出し動作のサイクルタイムをさらに短縮することが可能である。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体集積回路の構成を示すブロック図。

【図2】

本発明の第1の実施形態において用いられるメモリセルアレイを示す図。

【図3】

本発明の第 1 の実施形態において用いられる CPU 系制御回路を示す図。

【図 4】

本発明の第 1 の実施形態において用いられる表示系制御回路の構成を示す図。

【図 5】

図 3 に示す CPU 系制御回路における動作を説明するためのタイミング図。

【図 6】

図 3 に示す CPU 系制御回路における動作を説明するためのタイミング図。

【図 7】

図 4 に示す表示系制御回路における動作を説明するためのタイミング図。

【図 8】

本発明の第 2 の実施形態において用いられる表示系制御回路の構成を示す図。

【図 9】

図 8 に示す表示系制御回路における動作を説明するためのタイミング図。

【図 10】

本発明の第 3 の実施形態において用いられるメモリセルアレイを示す図。

【図 11】

本発明の第 3 の実施形態において用いられる CPU 系制御回路を示す図。

【図 12】

本発明の第 3 の実施形態に用いられる表示系制御回路における動作を説明するためのタイミング図。

【図 13】

従来の 2 ポートメモリセルの構成を示す図。

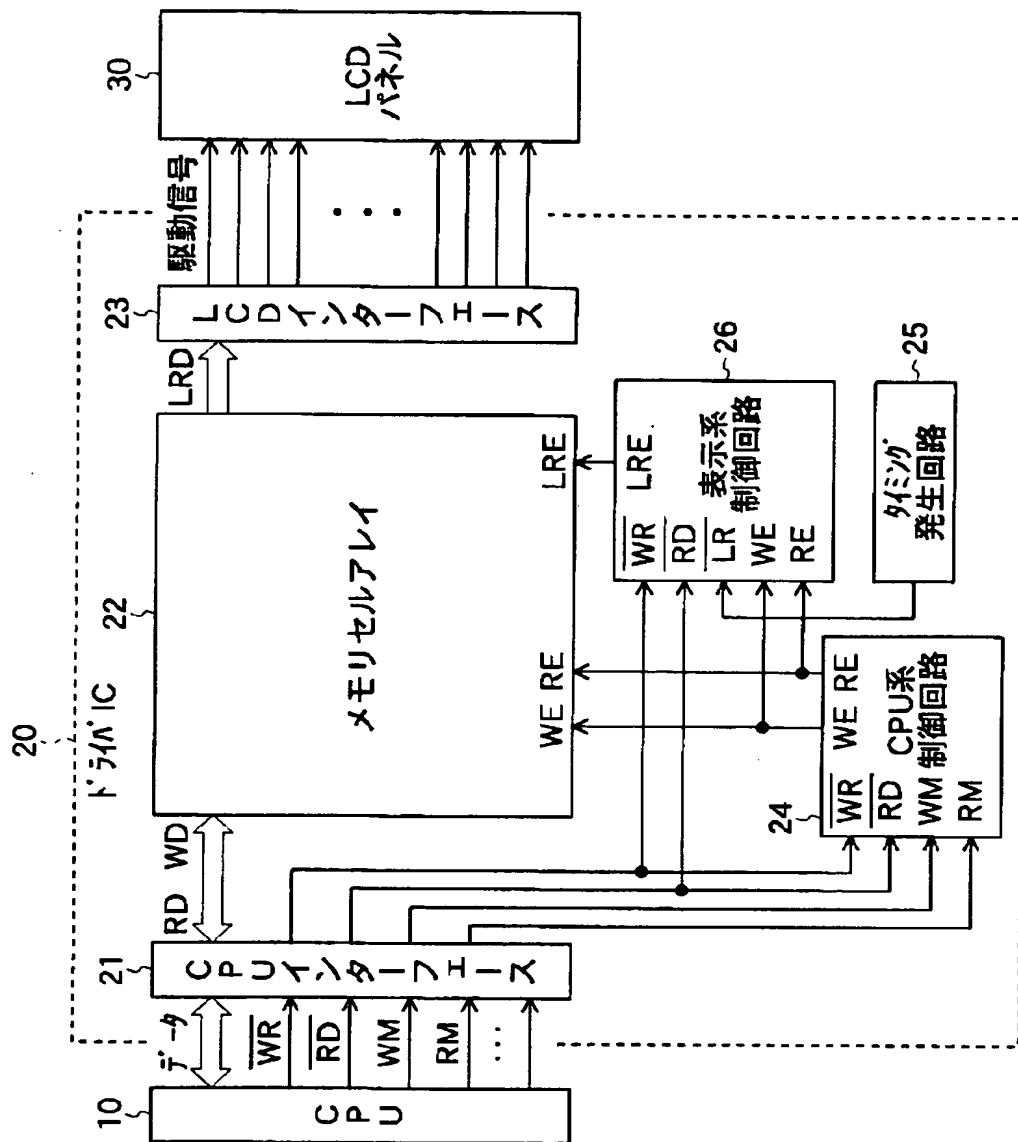
【符号の説明】

10 CPU、 20 LCDドライバIC、 21 CPUインターフェース、 22 メモリセルアレイ、 23 LCDインターフェース、 24 CPU系制御回路、 25 タイミング発生回路、 26 表示系制御回路、 30 LCDパネル、 41 メモリセル、 42 書込み／読出し回路、 43 読出し回路、 44 ワードライン駆動回路、 51、53、54、56、62、64、66、68、71、73、74、76 AND回路、 52、55、

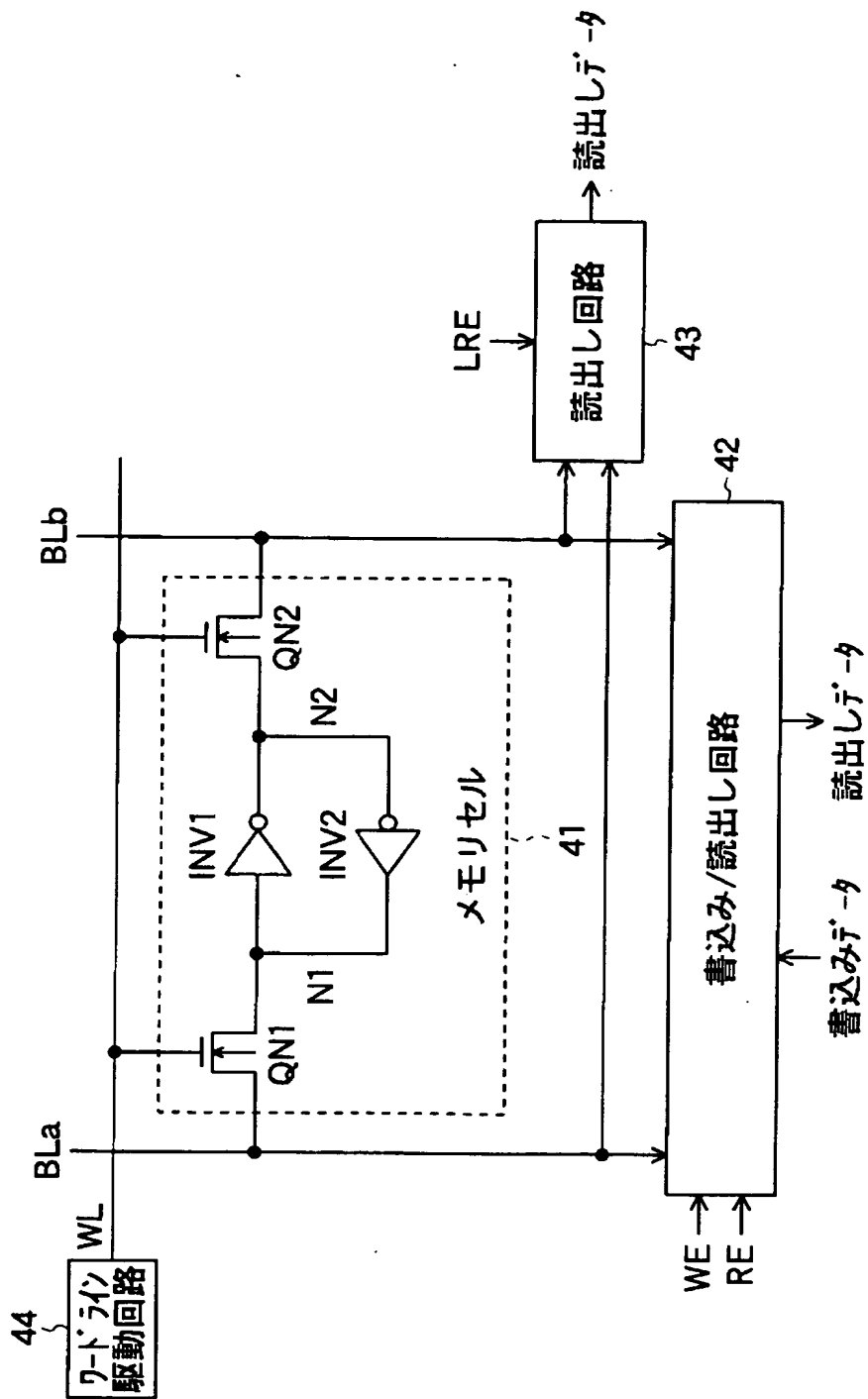
61、65、69、72、75 遅延回路、 63 フリップフロップ、 67
NOR回路、 BL a、BL b ビットライン、 WL ワードライン、 Q
N1、QN2 NチャネルMOSトランジスタ、 INV1、INV2 反転回
路、 N1、N2 ストアノード

【書類名】 図面

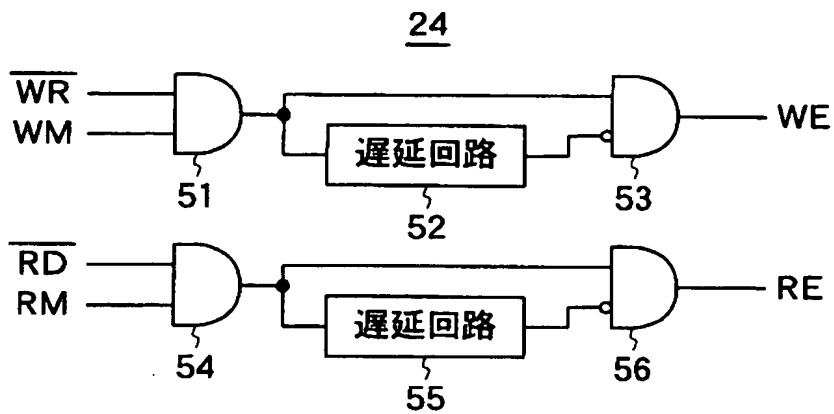
【図1】



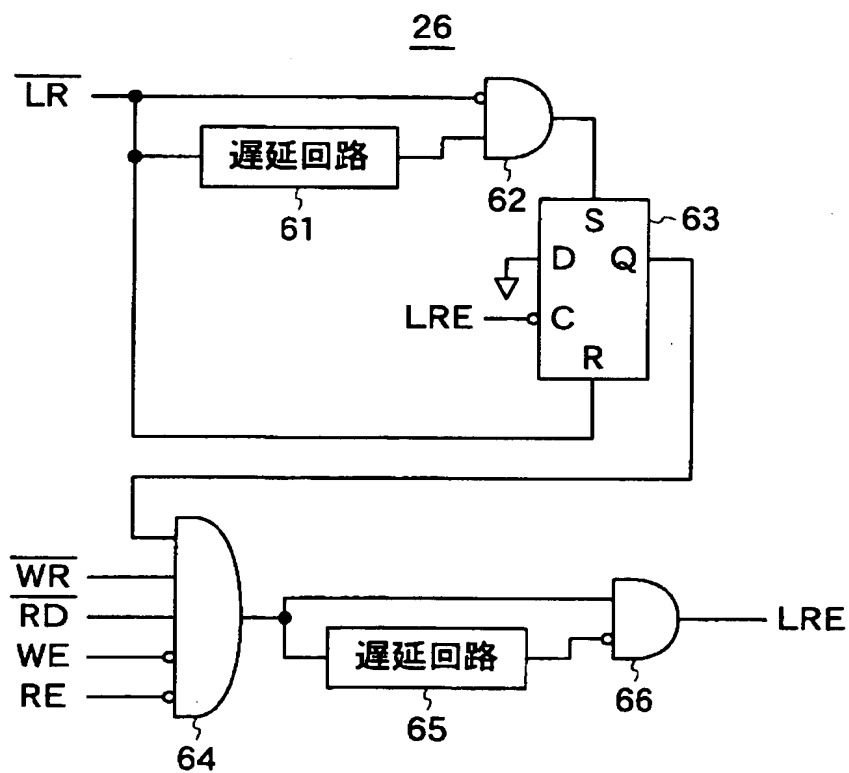
【図2】



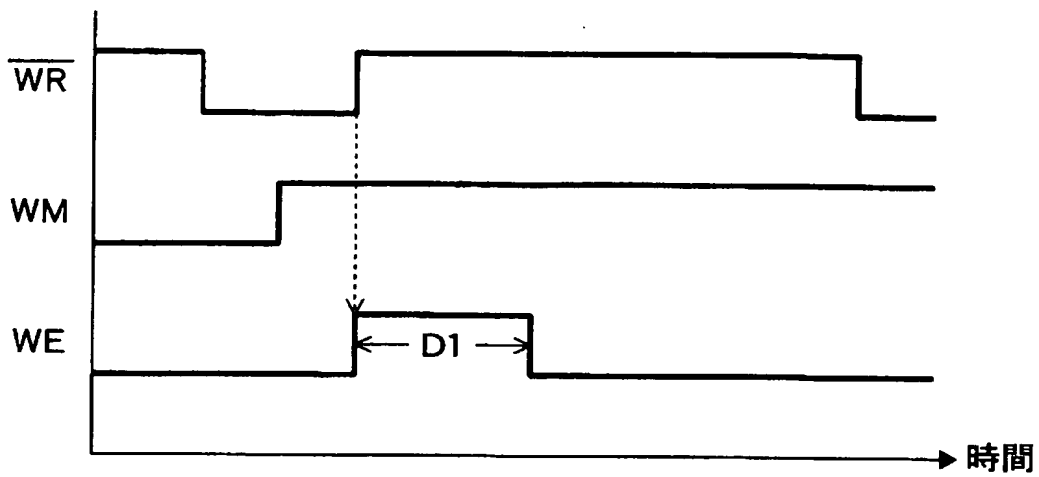
【図 3】



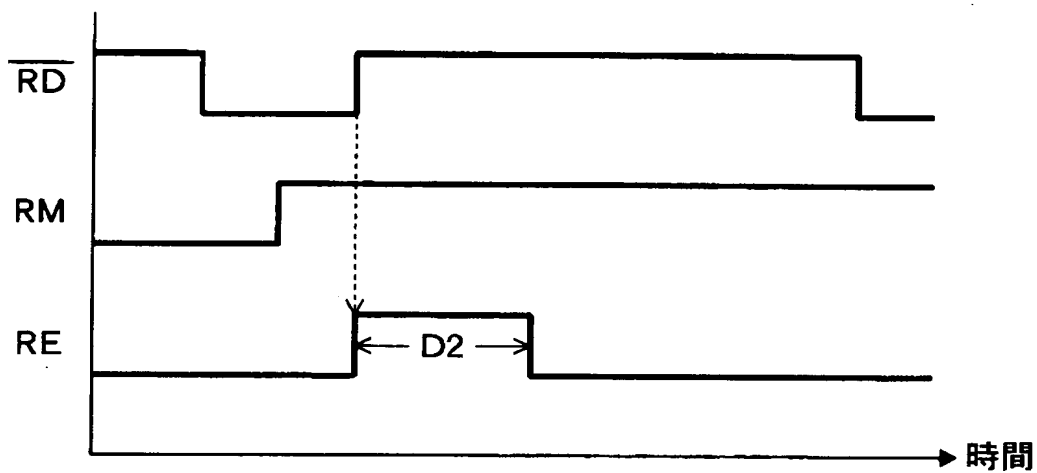
【図 4】



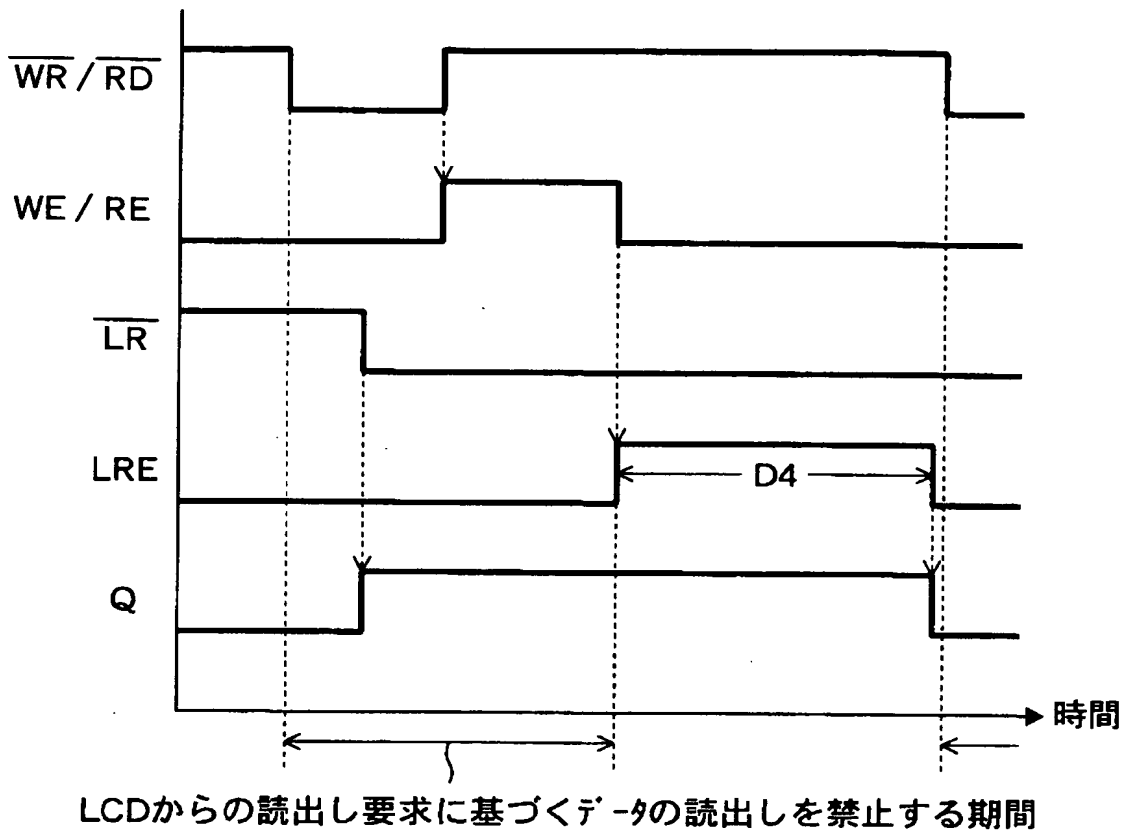
【図 5】



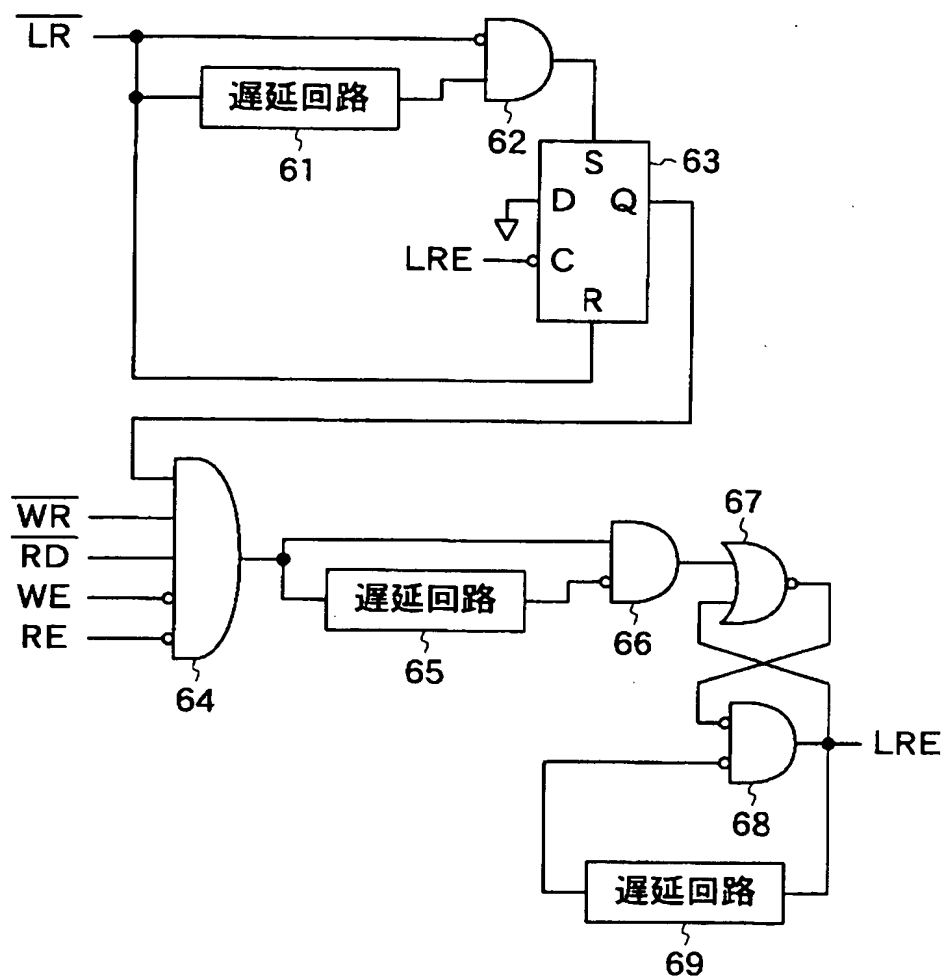
【図 6】



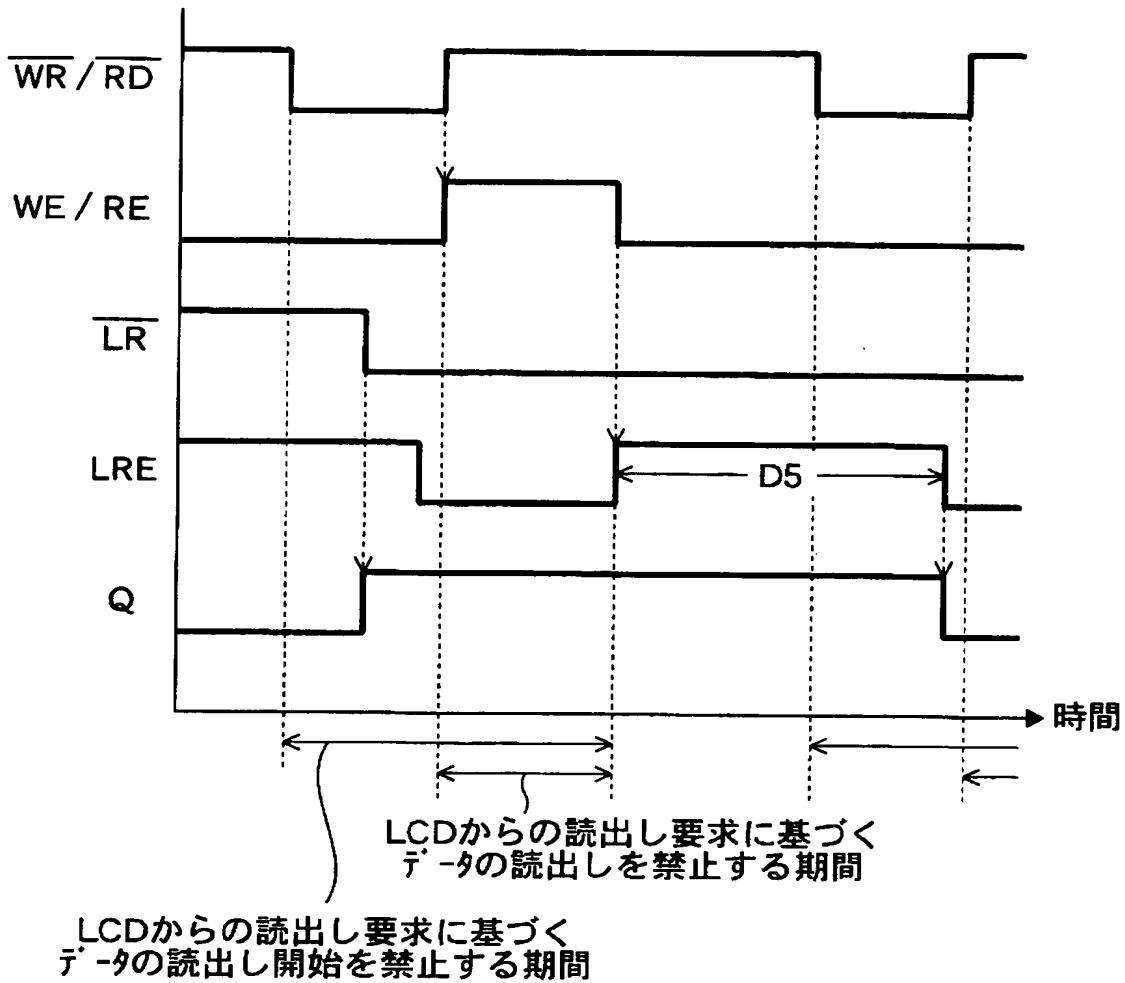
【図 7】



【図8】



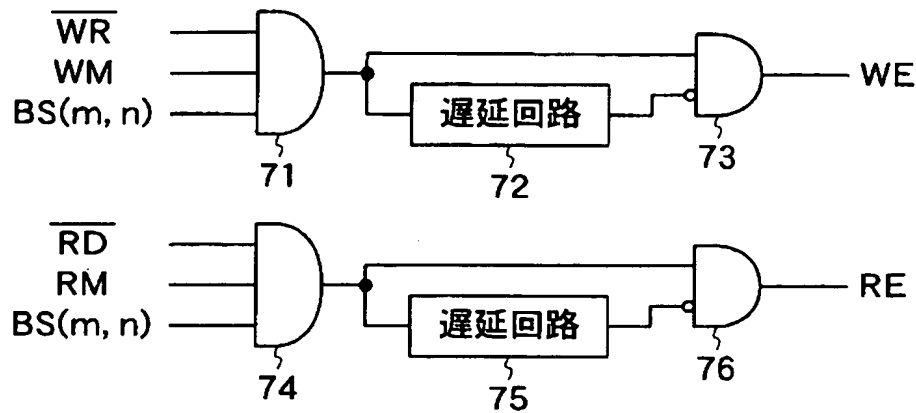
【図 9】



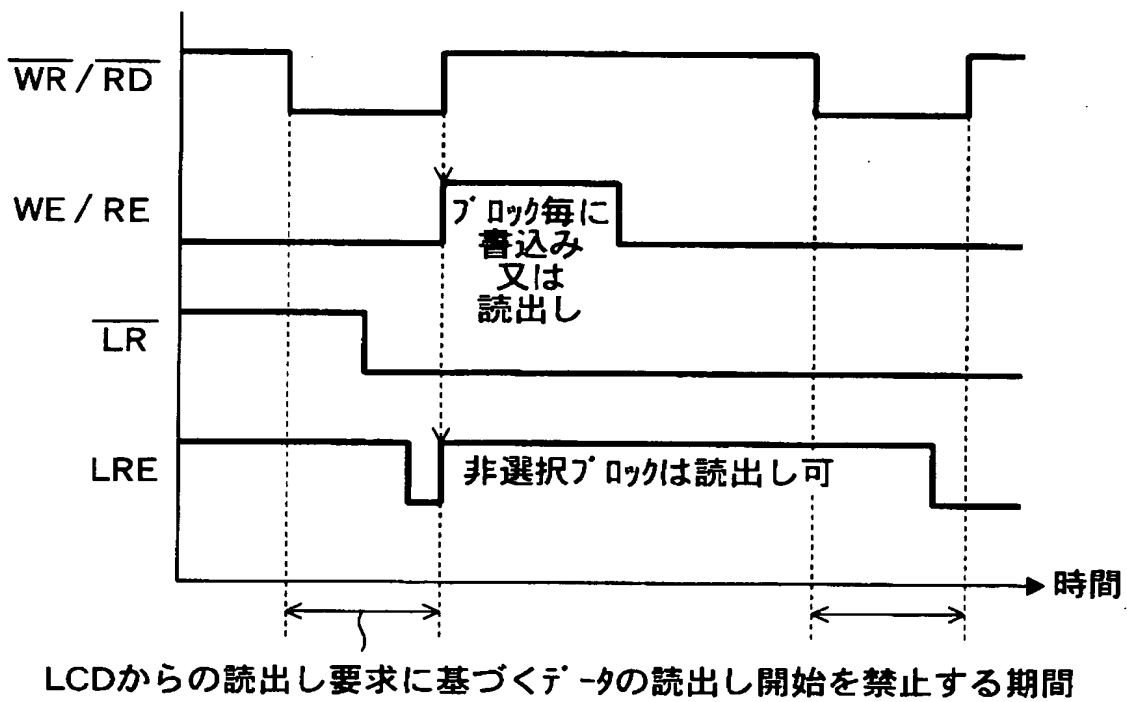
【図 10】

ブ ロック (1,1)	ブ ロック (1,2)	...	ブ ロック (1,N)
ブ ロック (2,1)		...	
⋮	⋮	⋱	⋮
ブ ロック (M,1)		...	ブ ロック (M,N)

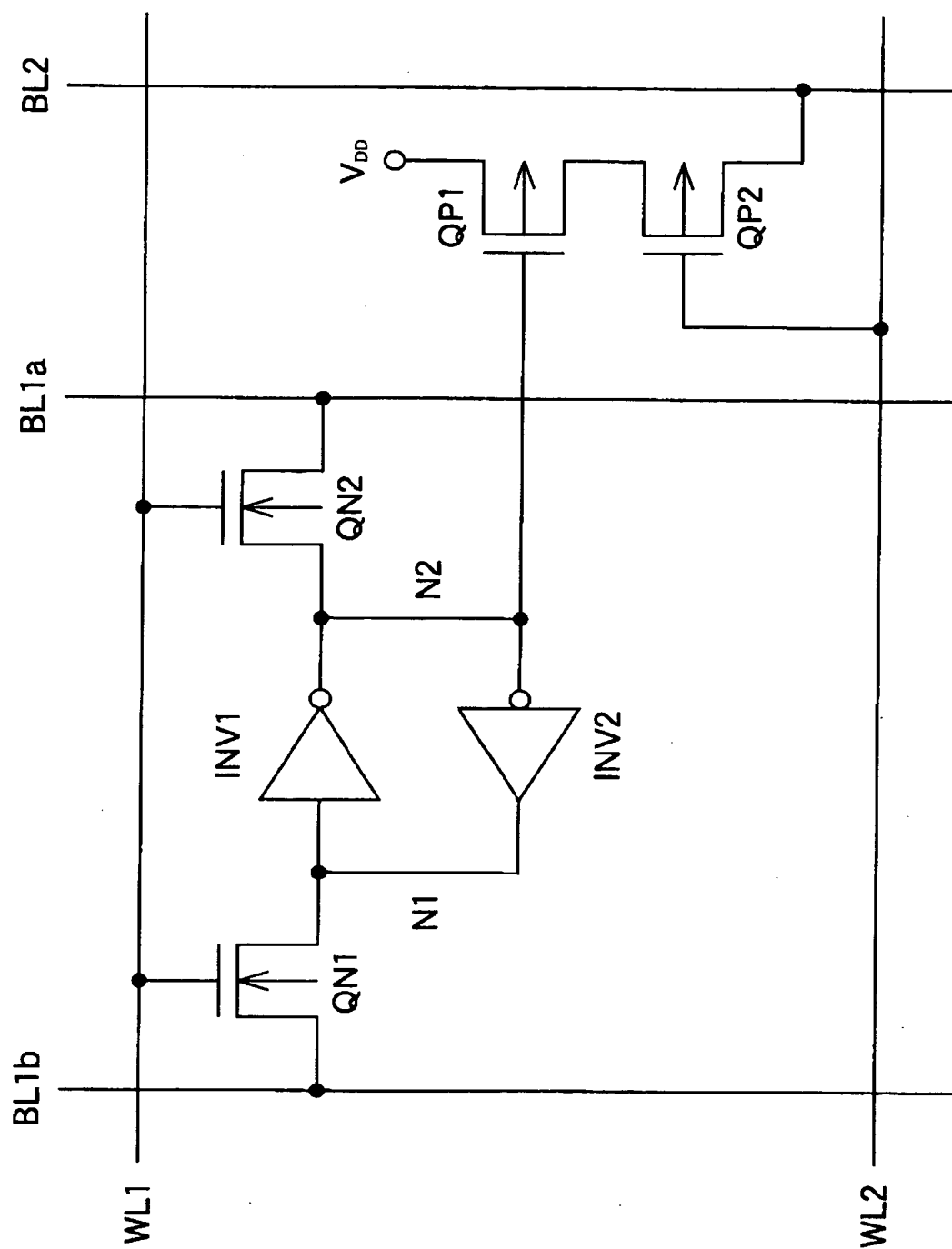
【図11】



【図12】



【図 13】



【書類名】 要約書

【要約】

【課題】 1 ポートメモリセルを使用しながら、C P Uからの命令に従うデータの書込み／読出し動作と、表示パネルに画像を表示するためのデータの読出し動作とをスムーズに行うことができる半導体集積回路を提供する。

【解決手段】 この半導体集積回路は、1組のビットラインとの間でデータの入出力を行うポートを有するメモリセルと、1組のビットラインを介してポートに接続された書込み／読出し回路と、1組のビットラインを介してポートに接続された読出し回路と、C P Uからの書込み要求又は読出し要求に基づくデータの書込み又は読出しが第1の期間において行われるように書込み／読出し回路を制御するC P U系制御回路24と、表示パネルに供給すべきデータの読出しが第1の期間と重複しない第2の期間において行われるように読出し回路を制御する表示系制御回路26とを具備する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 6 9 0 1 4
受付番号	5 0 3 0 0 4 1 7 0 6 2
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 3 月 2 0 日

< 認定情報・付加情報 >

【提出日】	平成15年 3月14日
-------	-------------

次頁無

特願 2 0 0 3 - 0 6 9 0 1 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社